

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-20147

(P 2 0 0 0 - 2 0 1 4 7 A)

(43) 公開日 平成12年1月21日 (2000. 1. 21)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G05F 1/56	310	G05F 1/56	310 Q 2H093
			310 X 5C006
G02F 1/133	520	G02F 1/133	520 5C080
G09G 3/20	612	G09G 3/20	612 A 5H430
3/36		3/36	

審査請求 未請求 請求項の数 6 F D (全 9 頁)

(21) 出願番号 特願平10-195150

(22) 出願日 平成10年6月26日 (1998. 6. 26)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 渡辺 克己

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

Fターム (参考) 2H093 NC03 NC16 ND39 ND49

5C006 BB11 BC13 BF14 BF25 BF27

BF32 BF37 BF43 BF46 FA47

5C080 AA10 BB05 DD26 EE29 FF03

FF09 JJ02 JJ03

5H430 BB01 BB09 BB11 CC06 EE06

EE09 EE13 FF04 FF12 GG05

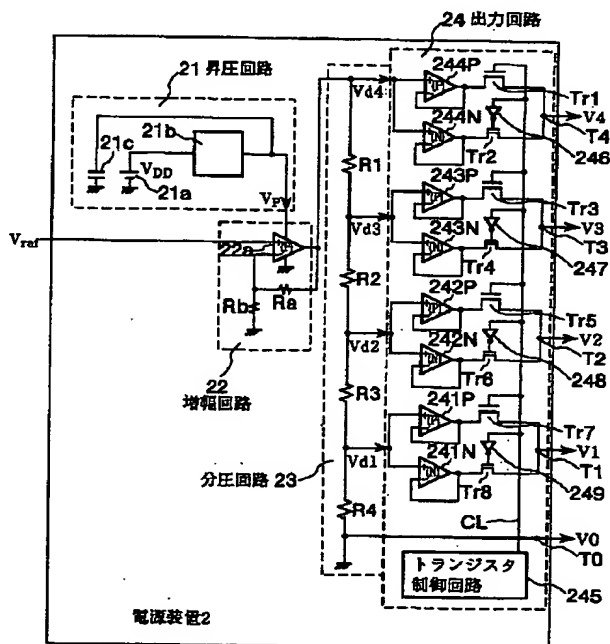
HH03 LA22

(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 正確な値の安定した電圧を低消費電力で生成する。

【解決手段】 分圧回路23が生成する分圧電圧Vd1～Vd4のそれぞれを、P型駆動のオペアンプ241P～244PとN型駆動のオペアンプ241N～244Nとの対応する対で増幅する。オペアンプ241P～244P、241N～244Nの各対の出力端は、対応するトランジスタTr1～Tr8を介して共通の出力端子T1～T4に接続されている。トランジスタ制御回路245は、オペアンプ241P～244P、241N～244Nとの各対に接続された2つのトランジスタTr1～Tr8を交互にオン・オフして、P型駆動のオペアンプ241P～244Pの出力電圧とN型駆動のオペアンプ241N～244Nの出力電圧とを交互に選択して端子T1～T4から出力する。



【特許請求の範囲】

【請求項1】供給された電圧から複数の電圧を発生する電圧発生手段と、

Nチャネル電界効果トランジスタから構成され、前記電圧発生手段から発生された電圧を増幅する第1の増幅素子と前記第1の増幅素子と電流路が直列に接続された第1のスイッチとから構成される第1の増幅回路と、Pチャネル電界効果トランジスタから構成され、前記電圧発生手段から発生された電圧を増幅する第2の増幅素子と前記第2の増幅素子と電流路が直列に接続された第2の

スイッチとから構成される第2の増幅回路とが、前記電圧発生手段と出力端との間に並列に接続されてなる増幅手段と、

前記第1のスイッチと前記第2のスイッチとを交互にオンまたはオフすることにより、前記第1の増幅回路と前記第2の増幅回路との出力電圧を交互に切り替えて出力するスイッチ制御回路と、

を備えた、ことを特徴とする電源装置。

【請求項2】前記スイッチ制御回路は、前記第1のスイッチと前記第2のスイッチの両方をオフさせた後に、前記第1のスイッチと前記第2のスイッチのオンまたはオフを切り替える制御手段を備えていることを特徴とする請求項1に記載の電源装置。

【請求項3】前記電圧発生手段は、直列接続された複数の抵抗と、前記複数の抵抗の接続点から導出された出力端とを備えた抵抗型分圧回路からなることを特徴とする請求項1または2に記載の電源装置。

【請求項4】前記電圧発生手段は、複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記複数の容量素子の接続状態を順次切り替えることにより前記複数の容量素子に異なる電圧に充電させる容量素子型分圧回路からなることを特徴とする請求項1または2に記載の電源装置。

【請求項5】前記電圧発生手段は、直列接続された複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記容量素子に所定の電荷を順次分配して蓄積させる手段とからなる容量分配型の昇圧回路であることを特徴とする請求項1または2に記載の電源装置。

【請求項6】前記分圧回路は供給された電圧を複数の分圧電圧に分圧して出力し、前記増幅手段は前記分圧回路により分圧された複数の分圧電圧に対応して複数配されている、ことを特徴とする請求項3または4に記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示素子の電源装置に関し、特に、表示素子を駆動するための駆動電圧として正確な値の電圧を低消費電力で生成する表示素子の電源装置に関する。

【0002】

【従来の技術】液晶表示装置の電源装置は、例えば4つの駆動電圧を生成する場合、図5に示すように、電源電圧VDDを分圧抵抗R1～R4により分圧し、インピーダンス変換回路によりインピーダンス変換し、駆動電圧VA～VDとして出力する。

【0003】インピーダンス変換回路を構成しているオペアンプには、図6(a)に示すP型半導体トランジスタから構成されるP型駆動のオペアンプと、図6(b)に示すN型半導体トランジスタから構成されるN型駆動のオペアンプとがある。

【0004】しかし、P型、N型駆動のオペアンプから構成されるインピーダンス変換回路の出力電圧は、それぞれ電源電圧、グランド電圧に偏倚した電圧を出力する傾向がある。このため、表示素子の駆動電圧として正確な値の電圧を得るためには、P型、N型駆動のオペアンプの差動増幅回路のグランド電圧側、または電源電圧側に流す電流を多めにしなくてはならず、消費電流が増大するという欠点があった。

【0005】また、電源電圧に偏倚した電圧を出力するP型駆動のオペアンプとグランド電圧に偏倚した電圧を出力するN型駆動のオペアンプとを一つの対にして出力端を共通に接続することにより、P型駆動のオペアンプとN型駆動のオペアンプそれぞれの出力電圧を平均化することにより、安定した正確な値の出力電圧を得ようとする方法が考えられている。この場合、P型とN型駆動のオペアンプの動作特性から、図7に示すように、一对のP型駆動のオペアンプの入力端とN型駆動のオペアンプの入力端間に微少抵抗R1～R4を接続することにより、P型駆動のオペアンプの入力電位をP型駆動のオペアンプの入力電位より若干低くし、P型駆動のオペアンプとN型駆動のオペアンプそれぞれの動作の安定化が図られている。

【0006】

【発明が解決しようとする課題】しかし、図7に示す電源装置は、P型駆動のオペアンプとN型駆動のオペアンプそれぞれの入力端間に接続された微少抵抗R1～R4により入力端に電位差が有るため、出力端の電圧にも電位差が生じ、P型駆動のオペアンプまたはN型駆動のオペアンプの動作に応じて出力電圧にリプルが発生する。また、一对のP型駆動のオペアンプとN型駆動のオペアンプの動作特性のバラツキによりそれぞれの出力電圧のうち、P型のオペアンプの出力電圧の方がN型駆動のオペアンプの出力電圧より高くなってしまいうという電圧逆転現象が発生し、直流電流が増加する。

【0007】したがって、従来の電源装置では、その電源装置自体の消費電力が大きく、所望の安定化された駆動電圧を低消費電力で出力することができないという問題があった。本発明は、上記実状に鑑みてなされたもので、表示素子を駆動するための駆動電圧を安定した正確

な値で、且つ、低消費電力で生成する電源装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため、この発明の電源装置は、供給された電圧から複数の電圧を発生する電圧発生手段と、Nチャネル電界効果トランジスタから構成され、前記電圧発生手段により与えられた電圧を増幅する第1の増幅素子と前記第1の増幅素子と電流路が直列に接続された第1のスイッチとから構成される第1の増幅回路と、Pチャネル電界効果トランジスタから構成され、前記電圧発生手段により発生された電圧を増幅する第2の増幅素子と前記第2の増幅素子と電流路が直列に接続された第2のスイッチとから構成される第2の増幅回路と、が、前記電圧発生手段と出力端との間に並列に接続されてなる増幅手段と、前記第1のスイッチと前記第2のスイッチとを交互にオンまたはオフすることにより、前記第1の増幅回路と前記第2の増幅回路との出力電圧を交互に切り替えて出力するスイッチ制御回路と、を備えた、ことを特徴とする。

【0009】この構成によれば、第1の増幅回路と第2の増幅回路は、電圧発生手段から供給される同一の電圧を増幅し、それぞれが増幅した電圧を交互に出力する。このため、第1の増幅回路と第2の増幅回路とが並列接続されてなる増幅手段の出力は、第1の増幅回路からの出力電圧と第2の増幅回路からの出力電圧とを平均化した電圧を出力する。従って、この電源装置は、従来の電源装置と比較して表示素子駆動用の電圧を安定した正確な値で生成することができる。この発明の電源装置において、前記スイッチ制御回路は前記第1のスイッチと前記第2のスイッチの両方をオフさせた後に、前記第1のスイッチと前記第2のスイッチのオンまたはオフを切り替える制御手段を備えるのが望ましい。この場合、第1の増幅回路と第2の増幅回路の出力端が同一のタイミングで接続されることがないため、図7に示す電源装置における電圧逆転現象が発生しない。従って、電源装置自体の消費電流を著しく低下させることができる。

【0010】この電源装置の電圧発生手段としては、直列接続された複数の抵抗と、前記複数の抵抗の接続点から導出された出力端とからなる抵抗分割型分圧回路、あるいは、直列接続された複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記複数の容量素子の接続状態を順次切り替えることにより前記複数の容量素子に異なる電圧に充電させる容量素子型分圧回路を適用することができる。また、前記電圧発生手段は、直列接続された複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記容量素子に所定の電荷を順次分配する手段とからなる容量分配型の昇圧回路にも適用することができる。特に、前記容量型の分圧回路あるいは昇圧回路を用いることにより、複数の電圧を発生させる回路部分に貫通電流が流れないの

で、消費電流を一層低下させることができる。さらに、前記分圧回路は供給された電圧を複数の分圧電圧に分圧して出力し、前記増幅手段は前記分圧回路により分圧された複数の分圧電圧に対応して複数配されていてよい。

【0011】

【発明の実施の形態】以下、本発明の実施の形態に係る電源装置を4つの駆動電圧により駆動する液晶表示装置に適用した場合を例として図面を参照しつつ説明する。本発明の実施の形態に係る液晶表示装置は、図1に示すように、表示パネル1、電源装置2、行ドライバ3、列ドライバ4、制御装置5から構成される。液晶表示パネル1は、対向して配置された第1の基板と第2の基板と、第1の基板に行方向に配置された複数の走査電極11と、第2の基板に列方向に配置された複数の信号電極13と、両基板間に封止された液晶とを備え、走査電極11と信号電極13の交点で定義される複数の画素により画像を表示する。

【0012】電源装置2は、図2に示すように、昇圧回路21、増幅回路22、分圧回路23、出力回路24から構成され、液晶表示パネル1を駆動するための駆動電圧 V_4 、 V_3 、 V_2 、 V_1 ($V_4 > V_3 > V_2 > V_1$) と、接地電圧 V_0 ($V_1 > V_0$) を生成し、行ドライバ3及び列ドライバ4に供給する。

【0013】昇圧回路21は、電源電圧 V_{DD} を出力する電源21a、電源21aから出力された電源電圧 V_{DD} を昇圧して出力する昇圧部21b及び昇圧部21bから出力された電圧を平滑化する平滑用コンデンサ21cから構成され、平滑化された昇圧電圧 V_p を増幅回路22に供給する。

【0014】増幅回路22は、オペアンプ22aと抵抗 R_a 、 R_b から構成され、昇圧回路21から供給される昇圧電圧 V_p をオペアンプ22aの電源として、外部から供給される基準電圧 V_{ref} をほぼ $(R_a + R_b) / R_b$ 倍に増幅し、増幅した増幅電圧 V_{d4} を分圧回路23に供給する。

【0015】分圧回路23は、抵抗 $R_1 \sim R_4$ の直列回路から構成され、増幅回路22から供給された増幅電圧 V_{d4} を抵抗 $R_1 \sim R_4$ により分圧し、分圧電圧 $V_{d1} \sim V_{d4}$ を出力回路24に供給する。

【0016】出力回路24は、図2に示すように、P型駆動のオペアンプ241P \sim 244P、N型駆動のオペアンプ241N \sim 244N、トランジスタ $Tr_1 \sim Tr_8$ 、トランジスタ制御回路245及びインバータ246 \sim 249から構成される。

【0017】P型駆動のオペアンプ241P \sim 244Pは、分圧回路23から供給される分圧電圧 $V_{d1} \sim V_{d4}$ のうち、対応する分圧電圧 $V_{d1} \sim V_{d4}$ を約1倍に増幅して出力する。また、P型駆動のオペアンプ241P \sim 244Pに一对一に対応してN型駆動のオペアンプ

241N~244Nが配置されている。N型駆動のオペアンプ241N~244Nは、分圧回路23から供給される分圧電圧Vd1~Vd4のうち、対応する分圧電圧Vd1~Vd4を約1倍に増幅して出力する。

【0018】トランジスタ制御回路245は、高周波数（例えば100KHz）のクロック信号をクロックラインCLに印加する。トランジスタTr1~Tr8は、例えば、nチャネル電界効果トランジスタから構成されている。トランジスタTr1~Tr8のうち、トランジスタTr1, Tr3, Tr5, Tr7は、電流路の一端（ドレイン）が対応するオペアンプ241P~244Pの出力端に接続され、他端（ソース）が対応する端子T1~T4に接続され、そのゲートがクロックラインCLに接続されている。一方、トランジスタTr2, Tr4, Tr6, Tr8は、電流路の一端（ドレイン）が対応するオペアンプ241N~244Nの出力端に接続され、他端（ソース）が対応する端子T1~T4に接続され、そのゲートがインバータ246~249の出力端に接続されている。

【0019】インバータ246~249は、その入力端がクロックラインCLに接続され、クロックラインを介してトランジスタ制御回路245から供給されるクロック信号のレベルを反転してトランジスタTr2, Tr4, Tr6, Tr8に供給する。

【0020】図1の行ドライバ3は、液晶表示パネル1の走査電極11に接続され、電源装置2から供給される複数の駆動電圧から走査電圧を生成し、制御装置5からのタイミング制御信号に従って選択した走査電極11に順次走査電圧を印加する。

【0021】列ドライバ4は、液晶表示パネル1の信号電極13に接続され、電源装置2から供給される複数の駆動電圧から信号電圧を生成し、制御装置5からのタイミング制御信号に従って信号電極13に信号電圧を印加する。

【0022】制御装置5は、行ドライバ3及び列ドライバ4の動作全体を制御する。例えば、行ドライバ3と列ドライバ4に走査電圧と信号電圧を出力するためのタイミング信号を供給する。

【0023】次に、このように構成された液晶表示装置の動作を説明する。図2の電源装置2の電源21aから出力された電源電圧VDDは、昇圧部21bにより昇圧され、且つ、平滑用コンデンサ21cにより平滑化され、昇圧電圧Vpとして増幅回路22に供給される。増幅回路22は、昇圧回路21から供給される昇圧電圧Vpをオペアンプ22aの電源として、外部から供給される基準電圧Vrefを $(Ra+Rb)/Ra$ 倍に増幅し、増幅電圧Vd4として分圧回路23に供給する。分圧回路23は、増幅回路22から供給された増幅電圧Vd4を抵抗R1~R4により分圧し、分圧電圧Vd1~Vd4として出力回路24に供給する。

【0024】図2の出力回路24のトランジスタ制御回路245は、高周波数（例えば、100KHz）のクロック信号をクロックラインCLに印加し、トランジスタTr1~Tr8のオン・オフを制御する。これにより、一対のP型駆動のオペアンプ241P~244Pの出力電圧とN型駆動のオペアンプ241N~244Nの出力電圧とを交互に端子T1~T4から出力する。

【0025】例えば、分圧電圧Vd3を増幅する一対のP型駆動のオペアンプ243PとN型駆動のオペアンプ243Nは、それぞれ、クロック信号により交互にオンされるトランジスタTr3とTr4を介して交互に端子T3から電圧を出力する。

【0026】前述したように、P型駆動のオペアンプ243Pの出力電圧は電源電圧側に偏倚して高くなる傾向があり、N型駆動のオペアンプ243Nはグランド電圧側に偏倚して低くなる傾向がある。しかし、一対のP型駆動のオペアンプ243PとN型駆動のオペアンプ243Nは、高周波数のクロック信号により高速、且つ、交互にオンされるトランジスタTr3とTr4を介して端子T3から高速、且つ、交互に電圧を出力する。このため、P型駆動のオペアンプ243Pの出力電圧とN型駆動のオペアンプ243Nの出力電圧とが平均化された電圧が駆動電圧V3として端子T3から出力される。

【0027】行ドライバ3は、制御装置5から供給されたタイミング信号に従って、接地電圧V0と駆動電圧V1~V4の中から適切な走査電圧を選択し、選択状態の走査電極11にあらかじめ定められた波形の選択信号を、非選択状態の走査電極11にあらかじめ定められた波形の非選択信号を、それぞれ印加する。

【0028】列ドライバ4は、供給された画像信号に従って、接地電圧V0と駆動電圧V1~V4の中から適切な信号電圧を選択し、制御装置5からのタイミング信号に従って選択した信号電圧を各信号電極13に印加する。

【0029】このようにして、液晶表示パネル1の選択状態の走査電極11と信号電極13との交点で定義される画素に画像信号に従った画像を表示する。

【0030】上述したように、この発明の電源装置は、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した電圧を駆動電圧として出力する。このため、この電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な電圧値を出力する。

【0031】また、この発明の電源装置によれば、トランジスタTr1, Tr3, Tr5, Tr7とTr2, Tr4, Tr6, Tr8とを交互に切り替えているので、並列的に接続された一対のP型駆動のオペアンプとN型駆動のオペアンプの間で、電圧逆転現象が生じることが

なく消費電力を抑えることができる。

【0032】さらに、この電源装置によれば、図7に示す電源装置の微小抵抗がないため、図7の電源装置と比較して、リップルの少ない安定した駆動電圧を得ることができる。このため、走査電極11および信号電極13により降下した駆動電圧に対するリップルの割合が従来の電源装置と比較して小さいため、比較的大きな表示素子を駆動することが可能である。

【0033】なお、この発明は、上記実施の形態に限定されず、種々の変形及び応用が可能である。例えば、この実施の形態では、一對のN型オペアンプとP型オペアンプを4つ用いて4つの駆動電圧を得た。しかし、一對のN型オペアンプとP型オペアンプの数を必要とする駆動電圧の数だけ用いることにより、必要な数の駆動電圧を得ることができる。

【0034】また、上記説明では、トランジスタ制御回路245から出力されるクロック信号の周波数は100KHzであった。しかし、一對のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とが平均化された電圧が安定して出力回路24から出力されるならば、クロック信号の周波数は100KHzに限定されず任意に変更可能である。

【0035】また、上記説明では、トランジスタTr1～Tr8はnチャネル電界効果トランジスタから構成されていた。しかし、トランジスタTr1～Tr8の構成は、一對のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とが平均化された電圧が安定して出力回路24から出力されるのであれば、任意に変更可能である。例えば、トランジスタTr1～Tr8は、Pチャネル電界効果トランジスタから構成されてもよく、リレースイッチでもよい。

【0036】なお、図2の出力回路24のP型駆動オペアンプ244PとN型駆動オペアンプ244N及びトランジスタTr1とTr2から構成される回路は、分圧回路23から供給される分圧電圧Vd4が十分安定しているならば、設けなくてもよい。

【0037】P型駆動のオペアンプ241P～244Pに接続されたトランジスタTr1, Tr3, Tr5, Tr7とN型駆動のオペアンプ241N～244Nに接続されたトランジスタTr2, Tr4, Tr6, Tr8とは、一旦全てをオフさせた後に、オンさせることが望ましい。即ち、トランジスタTr1, Tr3, Tr5, Tr7を完全にオフさせた後に、トランジスタTr2, Tr4, Tr6, Tr8をオンさせ、トランジスタTr2, Tr4, Tr6, Tr8を完全にオフさせた後に、トランジスタTr1, Tr3, Tr5, Tr7をオンさせる動作を繰り返すように制御することが望ましい。

【0038】このような動作にすれば、一對のP型駆動のオペアンプ241P～244Pの出力端とN型駆動のオペアンプ241N～244Nの出力端が端子T1～T

4に同一のタイミングで接続されることがないため、電圧逆転現象の発生をより確実に抑制することができる。従って、電源装置自体の消費電流をより低下させることができる。

【0039】この制御動作を実現するためには、例えば、2本のクロックラインを用い、一方のクロックライン（以降、クロックラインCL1）にトランジスタTr1, Tr3, Tr5, Tr7のゲートを接続し、他方のクロックライン（クロックラインCL2）にトランジスタTr2, Tr4, Tr6, Tr8のゲートを接続する。トランジスタ制御回路245は、例えば、クロックラインCL1にハイレベルのパルス（オン制御信号）を印加し、これを完全にオフしてから、クロックラインCL2にハイレベルのパルスを印加し、これを完全にオフしてから、クロックラインCL1にハイレベルのパルスを印加する。このような構成によれば、簡単な構成で、トランジスタTr1, Tr3, Tr5, Tr7のオンとトランジスタTr2, Tr4, Tr6, Tr8のオンの間に、全てのトランジスタをオフさせることができる。但し、このような構成に限定されず、任意の構成を採用可能である。

【0040】図2に示す電源装置2の分圧回路23は、抵抗R1～R4を貫通電流が常時流れてしまい、消費電力が大きい。貫通電流を低減するためには、コンデンサを用いる分圧回路が有効である。コンデンサを用いた分圧回路としては、コンデンサの直列回路から構成される分圧回路を使用することも可能であるが、例えば、図3に示す分圧回路63を採用してもよい。なお、図3において、電源装置の昇圧回路21、増幅回路22及び出力回路24は、図2に示す構成と実質的に同一の構成である。

【0041】図3に示す分圧回路63は、出力回路24に分圧電圧を出力するための電荷を蓄える電荷蓄積用コンデンサC1～C3と、増幅回路22から供給される増幅電圧Vd4により電荷が充電され、電荷蓄積用コンデンサC1～C3に充電する電荷を運搬する電荷運搬用コンデンサCC1と、電荷蓄積用コンデンサC1～C3と電荷運搬用コンデンサCC1の接続関係を切り替えるスイッチSW1～SW8と、スイッチSW1～SW8のオン・オフを制御する分圧用スイッチ制御回路631とを備える。

【0042】分圧用スイッチ制御回路631は、まず、スイッチSW1とSW2をオンし、SW3～SW8をオフして、電荷運搬用コンデンサCC1と電荷蓄積用コンデンサC3とを直列に接続して、電圧Vd4で充電する。次に、スイッチSW7とSW8をオンし、SW1～SW6をオフして、電荷運搬用コンデンサCC1を電荷蓄積用コンデンサC1に並列に接続し、電荷蓄積用コンデンサC1を充電する。

【0043】次に、スイッチSW5とSW6をオンし、

SW1～SW4, SW7, SW8をオフして、電荷運搬用コンデンサCC1を電荷蓄積用コンデンサC1に直列に接続し、且つ、電荷蓄積用コンデンサC2を電荷運搬用コンデンサCC1と電荷蓄積用コンデンサC1の直列回路に並列に接続し、電荷蓄積用コンデンサC2を充電する。

【0044】次に、スイッチSW3とSW4をオンし、SW1, SW2, SW5～SW8をオフして、電荷運搬用コンデンサCC1を電荷蓄積用コンデンサC2に直列に接続し、且つ、電荷蓄積用コンデンサC3を電荷運搬用コンデンサCC1と電荷蓄積用コンデンサC2の直列回路に並列に接続し、電荷蓄積用コンデンサC3を充電する。

【0045】このような、スイッチSW1～SW8のオン・オフの切り替え動作を高速に繰り返すことにより、電荷蓄積用コンデンサC1, C2, C3は次第に充電され、安定した電位に保たれる。そして、電荷蓄積用コンデンサC1, C2, C3に充電された電圧として分圧電圧Vd1～Vd4が出力回路24に出力される。

【0046】出力回路24のトランジスタ制御回路245は、前述したように、トランジスタTr1～Tr8をオン・オフする動作を100KHz程度の高周波数で繰り返す。これにより、一対のP型駆動のオペアンプ241P～244Pの出力電圧とN型駆動のオペアンプ241N～244Nの出力電圧とが平均化され、所望の駆動電圧V11～V14が端子T1～T4から出力される。

【0047】このような構成によれば、電源装置は、複数の電荷蓄積用コンデンサC1～C3に電荷運搬用コンデンサCC1に充電された電圧を分配することにより、増幅電圧Vd4を分圧して複数の分圧電圧Vd1～Vd4を生成する。このため、図2の構成の電源装置2と比較して、図2の分圧抵抗R1～R4を貫通して流れる電流をなくすことができ、消費電流を低減することができる。

【0048】また、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した電圧を駆動電圧として出力する。このため、この発明の電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な値で出力することができる。

【0049】上記説明では、電源装置2は、供給された電圧を分圧して複数の電圧を生成して出力回路24に出力したが、分圧回路23を用いず、昇圧回路により複数の電圧を生成し、出力回路に直接出力することも可能である。

【0050】この場合、電源装置は、例えば、図4に示すように、供給された電源電圧VDDを昇圧した複数の電圧を発生する昇圧回路71と、昇圧回路71から供給さ

れた昇圧電圧を約1倍に増幅して駆動電圧として出力する出力回路72から構成される。図示するように、出力回路72は、図2に示す出力回路24に加えて、P型駆動のオペアンプ240Pと、N型駆動のオペアンプ240Nと、トランジスタTr9, Tr10と、インバータ250とを備える。

【0051】昇圧回路71は、出力回路72に昇圧電圧を出力するために電荷を蓄える昇圧用コンデンサC11～C14、昇圧用コンデンサC11～C14に電荷を供給する電荷搬送コンデンサCC2、昇圧用コンデンサC11～C14と電荷搬送コンデンサCC2の接続関係を切り替えるスイッチSW11～SW18及びスイッチSW11～SW18のオン・オフを制御する昇圧用スイッチ制御回路711から構成され、電源電圧VDDを昇圧した電圧V21～V24 ($V24 > V23 > V22 >$) と電圧VddとV21 ($V22 > VDD > V21$) を出力する。

【0052】昇圧用スイッチ制御回路711は、まず、スイッチSW11とSW12をオンし、電源電圧VDDと基準電圧V21 ($= 0V$) を電荷搬送コンデンサCC2に印加し、電荷搬送コンデンサCC2がほぼVDD-V21に充電される。

【0053】昇圧用スイッチ制御回路711は、次に、スイッチSW11とSW12をオフし、スイッチSW13とSW14をオンし、電荷搬送コンデンサCC2と昇圧用コンデンサC11の直列回路に昇圧用コンデンサC12を並列に接続する。昇圧用コンデンサC11の両端の電圧はVDD-V21であり、昇圧用コンデンサC12は、ほぼ $2 \cdot (VDD - V21)$ で充電される。

【0054】次に、昇圧用スイッチ制御回路711は、スイッチSW13とSW14をオフし、スイッチSW15とSW16をオンし、電荷搬送コンデンサCC2と昇圧用コンデンサC12の直列回路に昇圧用コンデンサC13を並列に接続す。従って、昇圧用コンデンサC13は、ほぼ $3 \cdot (VDD - V21)$ で充電される。

【0055】次に、昇圧用スイッチ制御回路711は、スイッチSW15とSW16をオフし、スイッチSW17とSW18をオンする。これにより、電荷搬送コンデンサCC2と昇圧用コンデンサC13の直列回路に昇圧用コンデンサC14が並列に接続される。従って、昇圧用コンデンサC14は、ほぼ $4 \cdot (VDD - V21)$ で充電される。

【0056】このような動作を繰り返すことにより、昇圧用コンデンサC11～C14は、次第に充電され、安定した電位に保たれる。そして、昇圧用コンデンサC11～C14に充電された電圧として、昇圧電圧(Vdd, Vp1～Vp4)が出力回路72に出力される。

【0057】出力回路72のトランジスタ制御回路245は、トランジスタTr1～Tr10をオン・オフする動作を100KHz程度の高周波数で繰り返す。これに

より、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とが平均化され、所望の駆動電圧 $V_{21} \sim V_{24}$ 、 V_{dd} が出力される。

【0058】このような構成によれば、電源装置は、供給された電源電圧 V_{DD} を複数の電圧に昇圧し、分圧回路を介さずに、昇圧電圧($V_{p1} \sim V_{p4}$ 、 V_{pd})を出力回路72に直接出力する。このため、図2の構成の電源装置2と比較して、分圧回路を省略することができるため、回路の構成を簡素化することができる。さらに、この電源装置は、図2の電源装置2の抵抗 $R_1 \sim R_4$ に常時流れる貫通電流がないため、図2の電源装置と比較して消費電力を低下させることができる。

【0059】また、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した電圧を駆動電圧として出力する。このため、この発明の電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な値で出力することができる。

【0060】また、この発明の電源装置は、液晶表示素子の電源装置に限定されず、PDP（プラズマディスプレイ）、EL（エレクトロルミネッセンス）パネル、FED（フィールドエミッションディスプレイ）等を駆動するための駆動電圧を出力する電源装置として広く適用可能である。

【0061】

【発明の効果】以上説明したように、本発明の電源装置によれば、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した

電圧を駆動電圧として出力する。このため、この電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な値で、且つ、低消費電力で出力することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態にかかる液晶表示装置の構成を説明するためのブロック図である。

【図2】図1の電源装置の構成を示すブロック図である。

【図3】図2の電源装置の変形例を示すブロック図である。

【図4】図2の電源装置の変形例を示すブロック図である。

【図5】従来の電源装置の構成を示す図である。

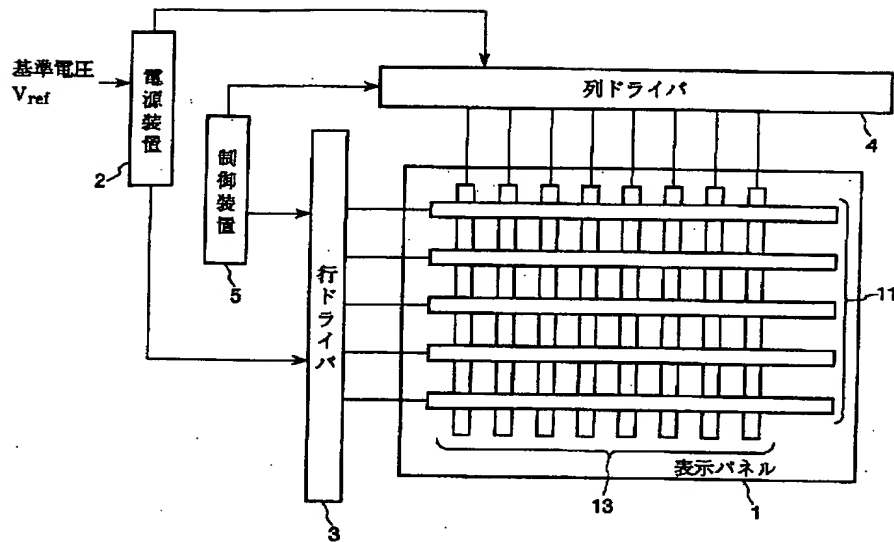
【図6】(a)はP型駆動のオペアンプの回路図であり、(b)はN型駆動のオペアンプの回路図である。

【図7】従来の電源装置の構成を示す図である。

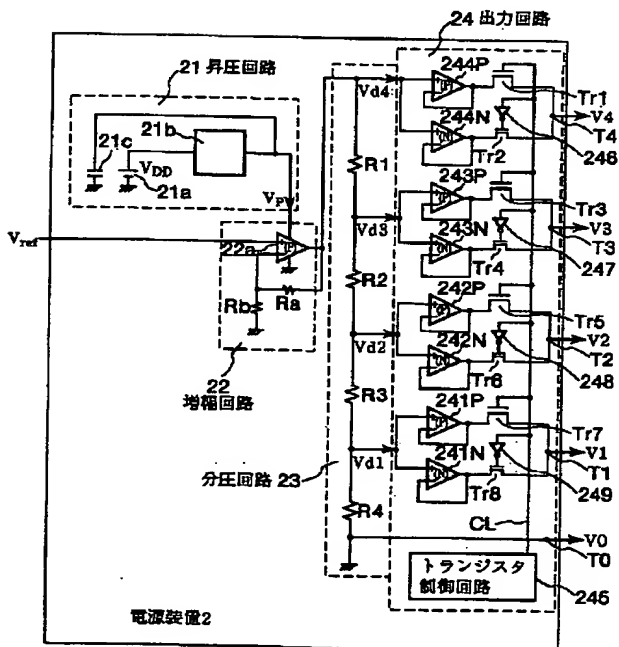
【符号の説明】

1…表示パネル、2…電源装置、3…行ドライバ、4…列ドライバ、5…制御装置、21…昇圧回路、22…増幅回路、23…分圧回路、24出力回路、63…分圧回路、71…昇圧回路、72…出力回路、81～84…微少抵抗、85～88…分圧抵抗、21a…電源、21b…昇圧部、21c…平滑用コンデンサ、22a…オペアンプ、240P～244P…P型駆動のオペアンプ、240N～244N…N型駆動のオペアンプ、245…トランジスタ制御回路、246～250…インバータ、711…昇圧用スイッチ制御回路、SW1～SW18…スイッチ、T0～T4…端子、CC1…電荷運搬用コンデンサ、CC2…電荷搬送コンデンサ、C1～C14…電荷蓄積用コンデンサ

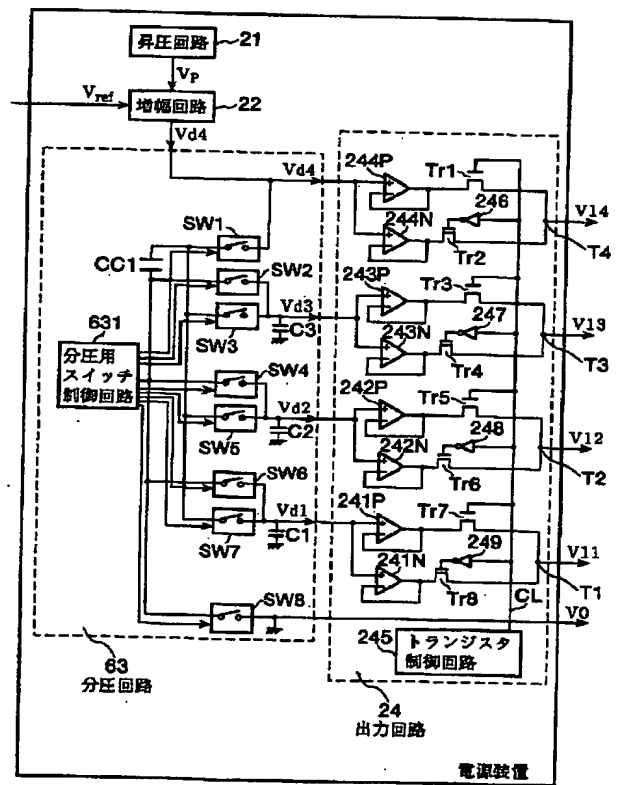
【図 1】



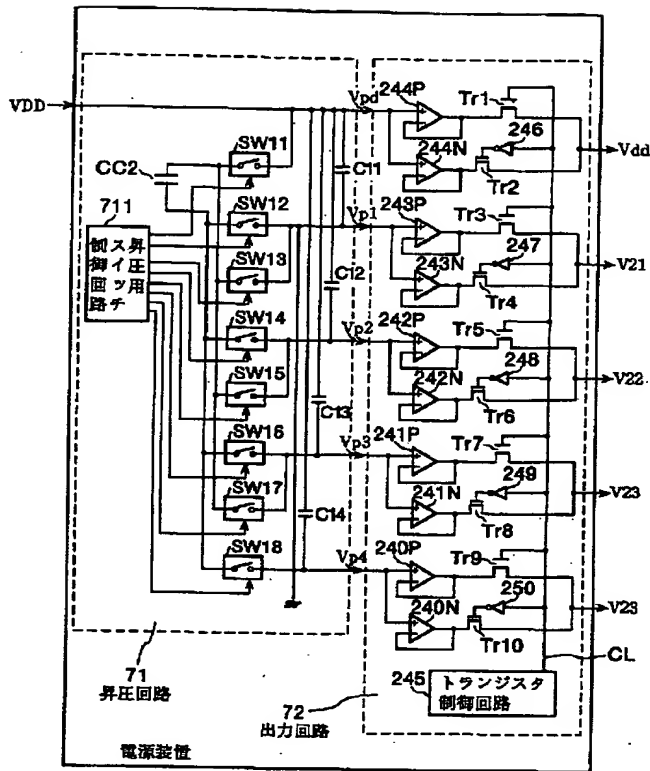
【図 2】



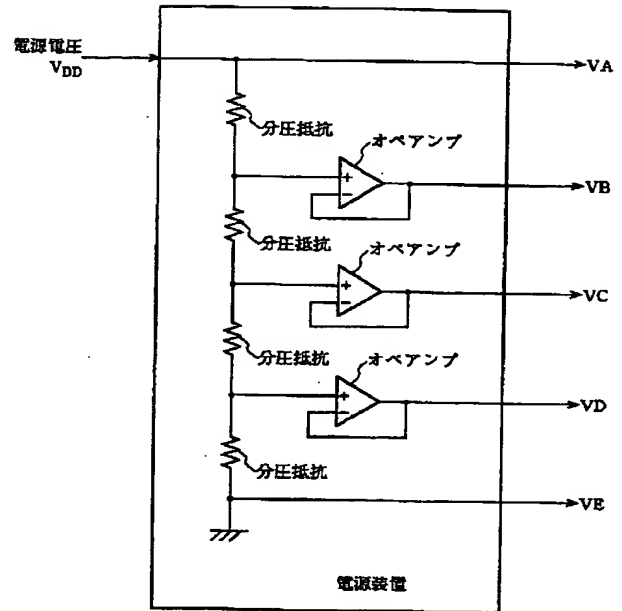
【図 3】



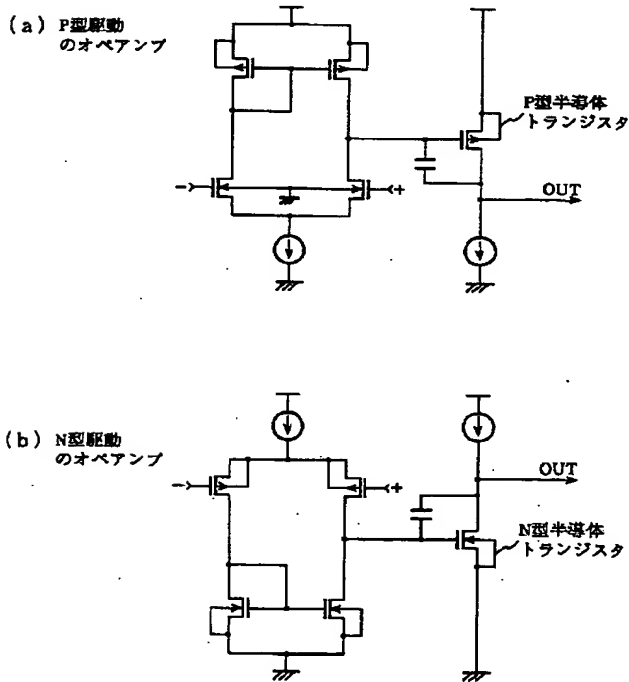
【図 4】



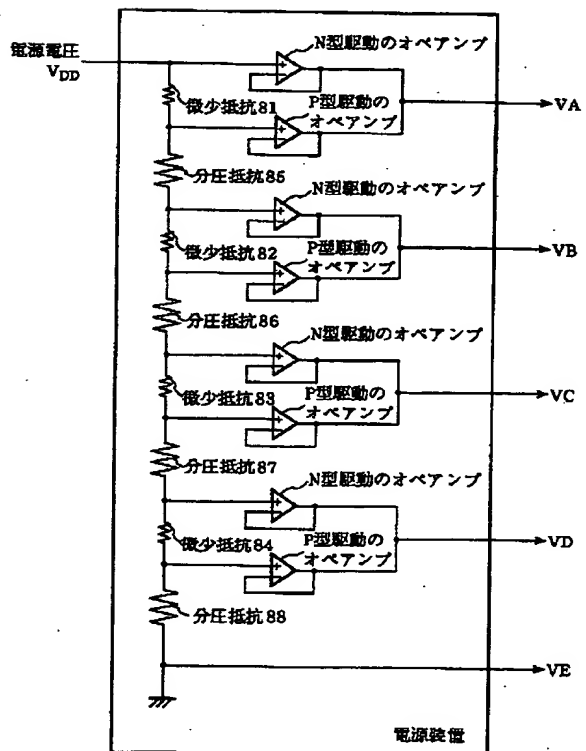
【図 5】



【図 6】



【図 7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-020147

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G05F 1/56
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 10-195150

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 26.06.1998

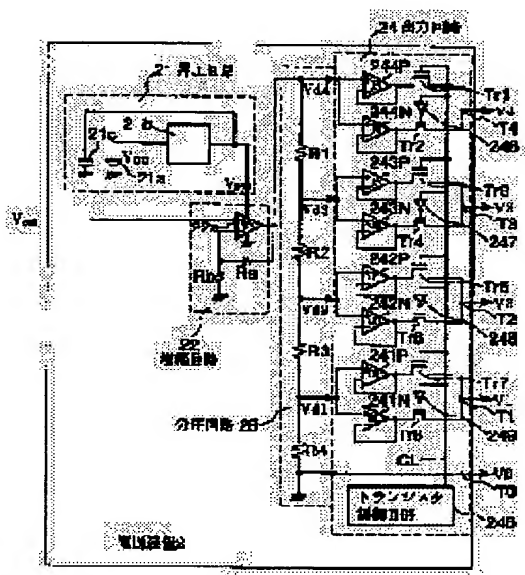
(72)Inventor : WATANABE KATSUMI

(54) POWER SOURCE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To generate a stable voltage of an accurate value with a low power consumption.

SOLUTION: Divided voltages V_{d1} to V_{d4} generated by a voltage division circuit 23 are amplified by corresponding pairs of P-type driven operational amplifiers 241P to 244P and N-type driven operational amplifiers 241N to 244N. Output ends of respective pairs of operational amplifiers 241P to 244P and 241N to 244N are connected to common output terminals T1 to T4 through corresponding transistors Tr1 to Tr8. A transistor control circuit 245 alternately turns on/off two of transistors Tr1 to Tr8 which are connected to each of pairs of operational amplifiers 241P to 244P and 241N to 244N, and then, output voltages of P-type driven operational amplifiers 241P to 244P and those of N-type driven operational amplifiers 241N to 244N are alternately selected and are outputted from terminals T1 to T4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

THIS PAGE BLANK (USPTO)

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 5 1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

10

CLAIMS

15

[Claim(s)]

[Claim 1] The power unit characterized by what is characterized by providing the following. A voltage generating means to generate two or more voltage from the supplied voltage. The 1st amplifying circuit which consists of N channel field-effect

20 transistors, and consists of the 1st switch to which the 1st amplifier which amplifies the voltage generated from the aforementioned voltage generating means, the 1st amplifier of the above, and the current path were connected in series. An amplification means to come to connect the 2nd amplifying circuit which consists of P channel field-effect

25 transistors, and consists of the 2nd switch to which the 2nd amplifier which amplifies the voltage generated from the aforementioned voltage generating means, the 2nd amplifier of the above, and the current path were connected in series in parallel between the aforementioned voltage generating means and an outgoing end. The switch

THIS PAGE BLANK (USPTO)

control circuit which changes the output voltage of the 1st amplifying circuit of the above, and the 2nd amplifying circuit of the above by turns, and outputs it by switching on or turning off the 1st switch of the above, and the 2nd switch of the above by turns.

[Claim 2] The aforementioned switch control circuit is a power unit according to claim 1

5 characterized by having the control means which change ON or OFF of the 1st switch of the above, and the 2nd switch of the above after making both the 1st switch of the above, and the 2nd switch of the above turn off.

[Claim 3] The aforementioned voltage generating means is a power unit according to

10 claim 1 or 2 characterized by the bird clapper from the resisted type partial pressure circuit equipped with two or more resistance by which the series connection was carried out, and the outgoing end drawn from the node of two or more aforementioned resistance.

[Claim 4] The aforementioned voltage generating means is a power unit according to

15 claim 1 or 2 characterized by the bird clapper from the capacitive-element type partial pressure circuit which makes the outgoing end drawn from the node of two or more capacitive element and two or more aforementioned capacitive element, and voltage which is different in two or more aforementioned capacitive element by changing the connection state of two or more aforementioned capacitive element one by one charge.

20 [Claim 5] The aforementioned voltage generating means is a power unit according to

claim 1 or 2 characterized by being the capacity distribution type booster circuit which consists of an outgoing end drawn from the node of two or more capacitive element by which the series connection was carried out, and two or more aforementioned capacitive element, and a means to distribute a predetermined charge one by one and
25 to store it up to the aforementioned capacitive element.

[Claim 6] It is the power unit according to claim 3 or 4 which the aforementioned partial pressure circuit pressures partially and outputs the supplied voltage to two or more

THIS PAGE BLANK (USPTO)

partial pressure voltage, and is characterized by what two or more aforementioned amplification means are allotted for corresponding to two or more partial pressure voltage pressured partially by the aforementioned partial pressure circuit.

5

DETAILED DESCRIPTION

10 [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the power unit of the display device which generates the voltage of a value exact as driver voltage for driving a display device by the low power about the power unit of a display device.

15

[0002]

[Description of the Prior Art] When generating four driver voltages, as shown in drawing 5, the power unit of a liquid crystal display pressures supply voltage VDD partially by the partial pressure resistance R1-R4, it carries out impedance conversion by the impedance-conversion circuit, and it is outputted as driver voltage VA-VD.

20

[0003] There are an operational amplifier of the P type drive which consists of P type semiconductor transistors shown in drawing 6 (a), and an operational amplifier of the N type drive which consists of N-type semiconductor transistors shown in drawing 6 (b) as operational amplifier which constitutes the impedance-conversion circuit.

25

[0004] However, the output voltage of P type and the impedance-conversion circuit which consists of operational amplifiers of an N type drive tends to output the voltage deflected on supply voltage and grand voltage, respectively. For this reason, in order to

THIS PAGE BLANK (USPTO)

obtain the voltage of a value exact as drive voltage of a display device, the current passed to a grand voltage [of P type and the differential-amplifier circuit of the operational amplifier of an N type drive] or supply voltage side had to be made [more], and there was a fault that the consumed electric current increased.

5 [0005] Moreover, the method of obtaining the output voltage of the stable exact value is considered by equalizing the output voltage of the operational amplifier of a P type drive, and each operational amplifier of an N type drive by making into one pair the operational amplifier of the P type drive which outputs the voltage deflected to supply voltage, and the operational amplifier of the N type drive which outputs the voltage
10 deflected on grand voltage, and connecting an outgoing end in common. In this case, from the operating characteristic of the operational amplifier of P type and an N type drive, as shown in drawing 7 , by connecting the very small resistance 81-84 between the input edge of the operational amplifier of a P type drive of a couple, and the input edge of the operational amplifier of an N type drive, it is made low a little and
15 stabilization of operation of the operational amplifier of a P type drive and each operational amplifier of an N type drive is attained from the input potential of the operational amplifier of a P type drive of the input potential of the operational amplifier of a

[0006]

20 [Problem(s) to be Solved by the Invention] However, since the power unit shown in drawing 7 has the potential difference in an input edge by the very small resistance 81-84 connected between the input edges of the operational amplifier of a P type drive, and each operational amplifier of an N type drive, the potential difference arises also on the voltage of an outgoing end, and a ripple generates it in output voltage according to
25 operation of the operational amplifier of a P type drive, or the operational amplifier of an N type drive. Moreover, the voltage inversion phenomenon in which the direction of the output voltage of the operational amplifier of P type will become higher than the output

THIS PAGE BLANK (USPTO)

voltage of the operational amplifier of an N type drive among each output voltage by the variation in the operating characteristic of the operational amplifier of a P type drive of a couple and the operational amplifier of an N type drive occurs, and a direct current increases.

5 [0007] Therefore, in the conventional power unit, there was a problem that power consumption of the power unit itself could not be large, and could not output the driver voltage by which the request was stabilized by the low power. this invention was made in view of the above-mentioned actual condition, and aims at offering the power unit which is the exact value stabilized in the driver voltage for driving a display device, and
10 is generated by the low power.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the power unit of this invention It consists of a voltage generating means to generate two or more voltage from the supplied voltage, and an N channel field-effect transistor. The
15 1st amplifying circuit which consists of the 1st switch to which the 1st amplifier which amplifies the voltage which was carried out by the aforementioned voltage generating means, and which was carried out, the 1st amplifier of the above, and the current path were connected in series, The 2nd amplifying circuit which consists of P channel field-effect transistors, and consists of the 2nd switch to which the 2nd amplifier which
20 amplifies the voltage generated by the aforementioned voltage generating means, the 2nd amplifier of the above, and the current path were connected in series, By switching on or turning off by turns the amplification means which it comes to connect in parallel between **, the aforementioned voltage generating means, and an outgoing end, and the 1st switch of the above and the 2nd switch of the above It is characterized by what it
25 had for the switch control circuit which changes the output voltage of the 1st amplifying circuit of the above, and the 2nd amplifying circuit of the above by turns, and outputs it.

THIS PAGE BLANK (USPTO)

0111200
[0009] According to this composition, the 1st amplifying circuit and 2nd amplifying circuit output by turns the voltage which amplified the same voltage supplied from a voltage generating means, and each amplified. For this reason, the output of an amplification means to come to carry out parallel connection of the 1st amplifying

5 circuit and 2nd amplifying circuit outputs the voltage which equalized the output voltage from the 1st amplifying circuit, and the output voltage from the 2nd amplifying circuit.

Therefore, this power unit can generate the voltage for a display device drive with the stable exact value as compared with the conventional power unit. In the power unit of this invention, after the aforementioned switch control circuit makes both the 1st

10 switch of the above, and the 2nd switch of the above turn off, it is desirable to have the control means which change ON or OFF of the 1st switch of the above and the 2nd switch of the above. In this case, since the outgoing end of the 1st amplifying circuit and the 2nd amplifying circuit is not connected to the same timing, the voltage inversion phenomenon in the power unit shown in drawing 7 does not occur. Therefore, the consumed electric current of the power unit itself can be reduced remarkably.

[0010] The resistance assembled-die partial pressure circuit which consists of two or more resistance by which the series connection was carried out, and an outgoing end drawn from the node of two or more aforementioned resistance as a voltage generating means of this power unit, Or the capacitative-element type partial pressure circuit

20 which makes the outgoing end drawn from the node of two or more capacitative element by which the series connection was carried out, and two or more aforementioned capacitative element, and voltage which is different in two or more aforementioned capacitative element by changing the connection state of two or more aforementioned capacitative element one by one charge is applicable. Moreover, the
25 aforementioned voltage generating means is applicable also to the capacity distribution type booster circuit which consists of an outgoing end drawn from the node of two or more capacitative element by which the series connection was carried out, and two or

THIS PAGE BLANK (USPTO)

more aforementioned capacitative element, and a means to distribute a predetermined charge one by one at the aforementioned capacitative element. Since penetration current does not flow into the circuit portion which generates two or more voltage by using aforementioned capacity type a partial pressure circuit or a booster circuit especially, the consumed electric current can be reduced further. Furthermore, the aforementioned partial pressure circuit pressures partially and outputs the supplied voltage to two or more partial pressure voltage, and two or more aforementioned amplification means may be allotted corresponding to two or more partial pressure voltage pressured partially by the aforementioned partial pressure circuit.

10 [0011]

[Embodiments of the Invention] It explains referring to a drawing by making into an example the case where the power unit concerning the gestalt of operation of this invention is hereafter applied to the liquid crystal display driven by four driver voltages. The liquid crystal display concerning the gestalt of operation of this invention consists of a display panel 1, a power unit 2, a line driver 3, a train driver 4, and a control unit 5, as shown in drawing 1. The liquid crystal display panel 1 is equipped with the 1st substrate and the 2nd substrate which have been arranged face to face, two or more scanning electrodes 11 arranged at the line writing direction at the 1st substrate, two or more signal electrodes 13 arranged in the direction of a train at the 2nd substrate, and the liquid crystal closed among both substrates, and displays a picture by two or more pixels defined by the intersection of the scanning electrode 11 and a signal electrode 13.

[0012] As shown in drawing 2, a power unit 2 consists of a booster circuit 21, an amplifying circuit 22, a partial pressure circuit 23, and an output circuit 24, generates the driver voltages V4, V3, V2, and V1 ($V4 > V3 > V2 > V1$) and the grounding voltage V0 ($V1 > V0$) for driving the liquid crystal display panel 1, and supplies them to the line driver 3 and the train driver 4.

THIS PAGE BLANK (USPTO)

[0013] A booster circuit 21 consists of capacitor 21 for smoothing which smooths the voltage outputted from pressure-up section 21b and pressure-up section 21b which carry out the pressure up of the supply voltage VDD outputted from power supply 21a which outputs supply voltage VDD, and power supply 21a, and output it, and supplies
5 the pressure-up voltage pinch off voltage by which smoothing was carried out to an amplifying circuit 22.

[0014] An amplifying circuit 22 consists of operational amplifier 22a and resistance Ra and Rb, amplifies mostly $(R_a + R_b)$ the reference voltage Vref to which the pressure-up voltage pinch off voltage supplied from a booster circuit 21 is supplied from the outside
10 as a power supply of operational amplifier 22a to a $1/R_b$ time, and supplies the amplified amplification voltage Vd4 to the partial pressure circuit 23.

[0015] The partial pressure circuit 23 consists of series circuits of resistance R1-R4, pressures partially the amplification voltage Vd4 supplied from the amplifying circuit 22 by resistance R1-R4, and supplies the partial pressure voltage Vd1-Vd4 to an output
15 circuit 24.

[0016] An output circuit 24 consists of the operational amplifiers 241P-244P of a P type drive, the operational amplifiers 241N-244N of an N type drive, transistors Tr1-Tr8, a transistor control circuit 245, and inverters 246-249, as shown in drawing 2.

[0017] The operational amplifiers 241P-244P of a P type drive amplify and output the
20 partial pressure voltage Vd1-Vd4 which corresponds among the partial pressure voltage Vd1-Vd4 supplied from the partial pressure circuit 23 about 1 time. Moreover, corresponding to the one to one, the operational amplifiers 241N-244N of an N type drive are arranged at the operational amplifiers 241P-244P of a P type drive. The operational amplifiers 241N-244N of an N type drive amplify and output the partial
25 pressure voltage Vd1-Vd4 which corresponds among the partial pressure voltage Vd1-Vd4 supplied from the partial pressure circuit 23 about 1 time.

[0018] The transistor control circuit 245 impresses the clock signal of high frequency

THIS PAGE BLANK (USPTO)

(for example, 100kHz) to the clock line CL. Transistors Tr1–Tr8 consist of for example, n channel field-effect transistors. Among transistors Tr1–Tr8, transistors Tr1, Tr3, Tr5, and Tr7 are connected to the outgoing end which are the operational amplifiers 241P–244P to which the end (drain) of a current path corresponds, it connects with the terminals T1–T4 with which the other end (source) corresponds, and the gate is connected to the clock line CL. On the other hand, transistors Tr2, Tr4, Tr6, and Tr8 are connected to the outgoing end which are the operational amplifiers 241N–244N to which the end (drain) of a current path corresponds, it connects with the terminals T1–T4 with which the other end (source) corresponds, and the gate is connected to the outgoing end of inverters 246–249.

[0019] It connects with the clock line CL, and the input edge reverses the level of the clock signal supplied from the transistor control circuit 245 through a clock line, and supplies inverters 246–249 to transistors Tr2, Tr4, Tr6, and Tr8.

[0020] It connects with the scanning electrode 11 of the liquid crystal display panel 1, and the line driver 3 of drawing 1 generates scanning voltage from two or more driver voltages supplied from a power unit 2, and impresses sequential-scanning voltage to the scanning electrode 11 chosen according to the timing-control signal from a control unit 5.

[0021] It connects with the signal electrode 13 of the liquid crystal display panel 1, and the train driver 4 generates a signal level from two or more driver voltages supplied from a power unit 2, and impresses a signal level to a signal electrode 13 according to the timing-control signal from a control unit 5.

[0022] A control unit 5 controls the whole operation of the line driver 3 and the train driver 4. For example, the timing signal for outputting scanning voltage and a signal level to the line driver 3 and the train driver 4 is supplied.

[0023] Next, operation of the liquid crystal display constituted in this way is explained. The pressure up of the supply voltage VDD outputted from power supply 21a of the

THIS PAGE BLANK (USPTO)

power unit 2 of drawing 2 is carried out by pressure-up section 21b, and smoothing is carried out by capacitor 21c for smooth, and it is supplied to an amplifying circuit 22 as pressure-up voltage pinch off voltage. an amplifying circuit 22 amplifies the reference voltage V_{ref} to which the pressure-up voltage pinch off voltage supplied from a booster circuit 21 is supplied from the outside as a power supply of operational amplifier 22a $(R_a + R_b) / R_a$ twice, and supplies it to the partial pressure circuit 23 as amplification voltage V_{d4} The partial pressure circuit 23 pressures partially the amplification voltage V_{d4} supplied from the amplifying circuit 22 by resistance $R_1 - R_4$, and supplies it to an output circuit 24 as partial pressure voltage $V_{d1} - V_{d4}$.

[0024] The transistor control circuit 245 of the output circuit 24 of drawing 2 impresses the clock signal of high frequency (for example, 100kHz) to the clock line CL, and controls turning on and off of transistors $Tr_1 - Tr_8$. This outputs the output voltage of the operational amplifiers 241P-244P of a P type drive of a couple, and operational amplifiers [of an N type drive / 241N-244N] output voltage from terminals T1-T4 by turns.

[0025] For example, voltage is outputted from a terminal T3 by turns through the transistors Tr_3 and Tr_4 turned on by turns by the clock signal, respectively operational amplifier 243N of operational amplifier 243P of a P type drive of the couple which amplifies the partial pressure voltage V_{d3} , and an N type drive.

[0026] As mentioned above, deflects to a supply voltage side, the output voltage of operational amplifier 243P of a P type drive tends to become high, and there is an inclination which deflects to a grand voltage side and becomes low operational amplifier 243N of an N type drive. However, voltage is outputted high speed and by turns from a terminal T3 through the transistors Tr_3 and Tr_4 turned on high speed and by turns by the clock signal of high frequency operational amplifier 243N of operational amplifier 243P of a P type drive of a couple, and an N type drive. For this reason, the voltage by which the output voltage of operational amplifier 243P of a P type drive and operational

THIS PAGE BLANK (USPTO)

amplifier 243N [of an N type drive] output voltage were equalized is outputted from a terminal T3 as driver voltage V3.

[0027] According to the timing signal supplied from the control unit 5, the line driver 3 chooses the grounding voltage V0 and scanning voltage suitable out of driver voltages V1-V4, and impresses the non-selection signal of the wave to which the selection signal of the wave beforehand set to the scanning electrode 11 of a selection state was beforehand set by the scanning electrode 11 in the state where it does not choose, respectively.

[0028] The train driver 4 impresses the signal level which chose the suitable signal level out of the grounding voltage V0 and driver voltages V1-V4, and was chosen according to the timing signal from a control unit 5 to each signal electrode 13 according to the supplied picture signal.

[0029] Thus, the picture according to the picture signal is displayed on the pixel defined by the intersection of the scanning electrode 11 of the selection state of the liquid crystal display panel 1, and a signal electrode 13.

[0030] As mentioned above, the power unit of this invention outputs the voltage which equalized the output voltage of the operational amplifier of a P type drive of a couple, and the output voltage of the operational amplifier of an N type drive as driver voltage by changing the output voltage of the operational amplifier of a P type drive of a couple, and the output voltage of the operational amplifier of an N type drive at high speed, and outputting them. For this reason, this power unit outputs an exact voltage value for the driver voltage for driving a display device as compared with the conventional power unit.

[0031] Moreover, according to the power unit of this invention, since transistors Tr1, Tr3, Tr5, and Tr7, and Tr2, Tr4, Tr6 and Tr8 are changed by turns, between the operational amplifier of a P type drive of the couple connected in parallel, and the operational amplifier of an N type drive, a voltage inversion phenomenon does not arise and power consumption can be stopped.

THIS PAGE BLANK (USPTO)

[0032] Furthermore, since there is no very small resistance of the power unit shown in drawing 7 according to this power unit, as compared with the power unit of drawing 7 , the stable driver voltage with few ripples can be obtained. For this reason, the rate of the ripple to the driver voltage which descended by the scanning electrode 11 and the signal electrode 13 is able to drive a comparatively big display device, since it is small as compared with the conventional power unit.

[0033] In addition, this invention is not limited to the gestalt of the above-mentioned implementation, but various deformation and application are possible for it. For example, with the gestalt of this operation, four driver voltages were obtained using the N type operational amplifier and four P type operational amplifiers of a couple. However, a required number of driver voltages can be obtained by using only the number of driver voltages which needs the number of the N type operational amplifier of a couple, and P type operational amplifiers.

[0034] Moreover, in the above-mentioned explanation, the frequency of the clock signal outputted from the transistor control circuit 245 was 100kHz. However, if the voltage by which the output voltage of the operational amplifier of a P type drive of a couple and the output voltage of the operational amplifier of an N type drive were equalized is stabilized and it is outputted from an output circuit 24, the frequency of a clock signal is not limited to 100kHz, but can be changed arbitrarily.

[0035] Moreover, transistors Tr1-Tr8 were constituted from the n channel field-effect transistor by the above-mentioned explanation. However, the composition of transistors Tr1-Tr8 can be arbitrarily changed, if the voltage by which the output voltage of the operational amplifier of a P type drive of a couple and the output voltage of the operational amplifier of an N type drive were equalized is stabilized and it is outputted from an output circuit 24. For example, transistors Tr1-Tr8 may consist of P channel field-effect transistors, and a relay switch is sufficient as them.

[0036] In addition, if the partial pressure voltage Vd4 supplied from the partial pressure

THIS PAGE BLANK (USPTO)

circuit 23 is stable enough, it is not necessary to prepare the circuit which consists of P type drive operational amplifier 244P and N type drive operational amplifier 244N of the output circuit 24 of drawing 2 , and transistors Tr1 and Tr2.

[0037] After the transistors Tr1, Tr3, Tr5, and Tr7 connected to the operational amplifiers 241P–244P of a P type drive and the transistors Tr2, Tr4, Tr6, and Tr8 connected to the operational amplifiers 241N–244N of an N type drive make all once turn off, it is desirable to make it turn on. That is, it is desirable to control to repeat operation which transistors Tr2, Tr4, Tr6, and Tr8 are made to turn on after making transistors Tr1, Tr3, Tr5, and Tr7 turn off completely, and makes transistors Tr1, Tr3, Tr5, and Tr7 turn on after making transistors Tr2, Tr4, Tr6, and Tr8 turn off completely.

[0038] If it is made such operation, since the outgoing end of the operational amplifiers 241P–244P of a P type drive of a couple and an operational amplifiers [of an N type drive / 241N–244N] outgoing end will not be connected to terminals T1–T4 to the same timing, generating of a voltage inversion phenomenon can be suppressed more certainly. Therefore, the consumed electric current of the power unit itself can be reduced more.

[0039] In order to realize this control action, using two clock lines, the gate of transistors Tr1, Tr3, Tr5, and Tr7 is connected to one clock line (henceforth, the clock line CL 1), and the gate of transistors Tr2, Tr4, Tr6, and Tr8 is connected to the clock line (clock line CL 2) of another side. After the transistor control circuit 245 impresses a high-level pulse (ON control signal) to the clock line CL 1 and turns this off completely, it impresses a high-level pulse to the clock line CL 2, and after it turns this off completely, it impresses a high-level pulse to the clock line CL 1. According to such composition, all transistors can be made to turn off with easy composition between ON of transistors Tr1, Tr3, Tr5, and Tr7, and ON of transistors Tr2, Tr4, Tr6, and Tr8.

However, it is not limited to such composition but arbitrary composition can be adopted. [0040] Penetration current always flows resistance R1–R4, and the partial pressure

THIS PAGE BLANK (USPTO)

circuit 23 of a power unit 2 shown in drawing 2 has large power consumption. In order to reduce penetration current, the partial pressure circuit which uses a capacitor is effective. Although it is also possible to use the partial pressure circuit which consists of series circuits of a capacitor as a partial pressure circuit using the capacitor, you
5 may adopt the partial pressure circuit 63 shown in drawing 3 , for example. In addition, in drawing 3 , the booster circuit 21, the amplifying circuit 22, and output circuit 24 of a power unit are the same composition as substantially as the composition shown in drawing 2 .

[0041] The capacitors C1–C3 for charge storages in which the charge for the partial
10 pressure circuit 63 shown in drawing 3 outputting partial pressure voltage to an output circuit 24 is stored, The capacitor CC 1 for charge conveyance which carries the charge which a charge is charged with the amplification voltage Vd4 supplied from an amplifying circuit 22, and charges the capacitors C1–C3 for charge storages It has the switches SW1–SW8 which change the connection relation between the capacitors
15 C1–C3 for charge storages, and the capacitor CC 1 for charge conveyance, and the switch control circuit 631 for partial pressure which controls turning on and off of switches SW1–SW8.

[0042] First, the switch control circuit 631 for partial pressure turns on switches SW1 and SW2, turns off SW3–SW8, connects the capacitor CC 1 for charge conveyance, and
20 the capacitor C3 for charge storages in series, and charges on voltage Vd4. Next, switches SW7 and SW8 are turned on, SW1–SW6 are turned off, the capacitor CC 1 for charge conveyance is connected in parallel with the capacitor C1 for charge storages, and the capacitor C1 for charge storages is charged.

[0043] Next, switches SW5 and SW6 are turned on, SW1–SW4, and SW7 and SW8 are
25 turned off, and the capacitor CC 1 for charge conveyance is connected to the capacitor C1 for charge storages in series, and the capacitor C2 for charge storages is connected in parallel with the series circuit of the capacitor CC 1 for charge conveyance, and the

THIS PAGE BLANK (USPTO)

capacitor C1 for charge storages, and the capacitor C2 for charge storages is charged.

[0044] Next, switches SW3 and SW4 are turned on, SW1, SW2, SW5–SW8 are turned off, and the capacitor CC 1 for charge conveyance is connected to the capacitor C2 for charge storages in series, and the capacitor C3 for charge storages is connected in parallel with the series circuit of the capacitor CC 1 for charge conveyance, and the capacitor C2 for charge storages, and the capacitor C3 for charge storages is charged.

[0045] By repeating change operation of such turning on and off of switches SW [SW1–] 8 at high speed, it charges gradually and the capacitors C1, C2, and C3 for charge storages are maintained at the stable potential. And the partial pressure voltage Vd1–Vd4 is outputted to an output circuit 24 as voltage charged by the capacitors C1, C2, and C3 for charge storages.

[0046] The transistor control circuit 245 of an output circuit 24 repeats operation which turns on and off transistors Tr1–Tr8 by about 100kHz high frequency, as mentioned above. Thereby, the output voltage of the operational amplifiers 241P–244P of a P type drive of a couple and operational amplifiers [of an N type drive / 241N–244N] output voltage are equalized, and the desired driver voltages V11–V14 are outputted from terminals T1–T4.

[0047] According to such composition, by distributing the voltage charged by the capacitor CC 1 for charge conveyance to two or more capacitors C1–C3 for charge storages, a power unit pressures the amplification voltage Vd4 partially, and generates two or more partial pressure voltage Vd1–Vd4. For this reason, as compared with the power unit 2 of the composition of drawing 2 , the current which penetrates the partial pressure resistance R1–R4 of drawing 2 , and flows can be abolished, and the consumed electric current can be reduced.

[0048] Moreover, the voltage which equalized the output voltage of the operational amplifier of a P type drive of a couple and the output voltage of the operational amplifier of an N type drive is outputted as driver voltage by changing the output

THIS PAGE BLANK (USPTO)

voltage of the operational amplifier of a P type drive of a couple, and the output voltage of the operational amplifier of an N type drive at high speed, and outputting them. For this reason, the power unit of this invention can output the driver voltage for driving a display device as compared with the conventional power unit with an exact value.

5 [0049] Although the power unit 2 pressured the supplied voltage partially, generated two or more voltage and outputted it to the output circuit 24 in the above-mentioned explanation, it is also possible for a booster circuit to generate two or more voltage, and to carry out a direct output to an output circuit not using the partial pressure circuit 23.

10 [0050] In this case, a power unit consists of a booster circuit 71 which generates two or more voltage which carried out the pressure up of the supplied supply voltage VDD, and an output circuit 72 which amplifies the pressure-up voltage supplied from the booster circuit 71 about 1 time, and is outputted as driver voltage, as shown in drawing 4 . In addition to the output circuit 24 shown in drawing 2 , an output circuit 72 is
15 equipped with operational amplifier 240P of a P type drive, operational amplifier 240N of an N type drive, transistors Tr9 and Tr10, and an inverter 250 so that it may illustrate.

[0051] A booster circuit 71 Since pressure-up voltage is outputted to an output circuit 72 A charge The switches SW11-SW18 which change the connection relation between the charge conveyance capacitor CC 2, the capacitors C11-C14 for pressure ups, and
20 the charge conveyance capacitor CC 2 which supplies a charge to the capacitors C11-C14 for pressure ups to store, and the capacitors C11-C14 for pressure ups And it consists of switch control circuits 711 for pressure ups which control turning on and off of switches SW11-SW18, and the voltage V21-V24 (V24>V23>V22>) and voltage Vdd and V21 (V22>VDD>V21) which carried out the pressure up of the supply voltage
25 VDD are outputted.

[0052] First, switches SW11 and SW12 are turned on, supply voltage VDD and reference voltage V21 (=0V) are impressed to the charge conveyance capacitor CC 2, and, as for

THIS PAGE BLANK (USPTO)

the switch control circuit 711 for pressure ups, the charge conveyance capacitor CC 2 is mostly charged by $V_{DD}-V_{21}$.

[0053] Next, the switch control circuit 711 for pressure ups turns off switches SW11 and SW12, turns on switches SW13 and SW14, and connects the capacitor C12 for pressure ups to the series circuit of the charge conveyance capacitor CC 2 and the capacitor C11 for pressure ups in parallel. The voltage of the ends of the capacitor C11 for pressure ups is $V_{DD}-V_{21}$, and the capacitor C12 for pressure ups is charged by about $2 - (V_{DD}-V_{21})$.

[0054] Next, the switch control circuit 711 for pressure ups turns off switches SW13 and SW14, turns on switches SW15 and SW16, and is ***** in parallel about the capacitor C13 for pressure ups to the series circuit of the charge conveyance capacitor CC 2 and the capacitor C12 for pressure ups. Therefore, the capacitor C13 for pressure ups is charged by about $3 - (V_{DD}-V_{21})$.

[0055] Next, the switch control circuit 711 for pressure ups turns off switches SW15 and SW16, and turns on switches SW17 and SW18. Thereby, the capacitor C14 for pressure ups is connected to the series circuit of the charge conveyance capacitor CC 2 and the capacitor C13 for pressure ups in parallel. Therefore, the capacitor C14 for pressure ups is charged by about $4 - (V_{DD}-V_{21})$.

[0056] By repeating such operation, it charges gradually and the capacitors C11-C14 for pressure ups are maintained at the stable potential. And pressure-up voltage (V_{dd} , pinch off voltage1-pinch off voltage4) is outputted to an output circuit 72 as voltage charged by the capacitors C11-C14 for pressure ups.

[0057] The transistor control circuit 245 of an output circuit 72 repeats operation which turns on and off transistors Tr1-Tr10 by about 100kHz high frequency. Thereby, the output voltage of the operational amplifier of a P type drive of a couple and the output voltage of the operational amplifier of an N type drive are equalized, and driver voltage $V_{21}-V_{24}$ of a request and V_{dd} are outputted.

THIS PAGE BLANK (USPTO)

[0058] According to such composition, a power unit carries out the pressure up of the supplied supply voltage VDD to two or more voltage, and carries out the direct output of the pressure-up voltage (pinch-off-voltage1- pinch off voltage4, Vpd) to an output circuit 72, without minding a partial pressure circuit. For this reason, since a partial
5 pressure circuit is omissible as compared with the power unit 2 of the composition of drawing 2 , the composition of a circuit can be simplified. Furthermore, since this power unit does not have penetration current which always flows in the resistance R1-R4 of the power unit 2 of drawing 2 , it can reduce power consumption as compared with the power unit of drawing 2 .

10 [0059] Moreover, the voltage which equalized the output voltage of the operational amplifier of a P type drive of a couple and the output voltage of the operational amplifier of an N type drive is outputted as driver voltage by changing the output voltage of the operational amplifier of a P type drive of a couple, and the output voltage of the operational amplifier of an N type drive at high speed, and outputting them. For
15 this reason, the power unit of this invention can output the driver voltage for driving a display device as compared with the conventional power unit with an exact value.

[0060] Moreover, the power unit of this invention is not limited to the power unit of a liquid crystal display element, but can be applied widely as a power unit which outputs the driver voltage for driving PDP (plasma display), the EL (electroluminescence) panel,
20 FED (field emission display), etc.

[0061]

[Effect of the Invention] As explained above, according to the power unit of this invention, the voltage which equalized the output voltage of the operational amplifier of a P type drive of a couple and the output voltage of the operational amplifier of an N
25 type drive is outputted as driver voltage by changing the output voltage of the operational amplifier of a P type drive of a couple, and the output voltage of the operational amplifier of an N type drive at high speed, and outputting them. For this

THIS PAGE BLANK (USPTO)

reason, this power unit is an exact value, and can output the driver voltage for driving a display device as compared with the conventional power unit by the low power.

5

DESCRIPTION OF DRAWINGS

10

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram for explaining the composition of the liquid crystal display concerning the gestalt of implementation of this invention.

15

[Drawing 2] It is the block diagram showing the composition of the power unit of drawing 1 .

[Drawing 3] It is the block diagram showing the modification of the power unit of drawing 2 .

[Drawing 4] It is the block diagram showing the modification of the power unit of drawing 2 .

20

[Drawing 5] It is drawing showing the composition of the conventional power unit.

[Drawing 6] (a) is the circuit diagram of the operational amplifier of a P type drive, and (b) is the circuit diagram of the operational amplifier of an N type drive.

[Drawing 7] It is drawing showing the composition of the conventional power unit.

[Description of Notations]

25

1 [... A line driver, 4 / ... Train driver,] ... A display panel, 2 ... A power unit, 3 5 [... An amplifying circuit, 23 / ... Partial pressure circuit,] ... A control unit, 21 ... A booster circuit, 22 24 output circuits, 63 [... Output circuit,] ... A partial pressure circuit, 71 ... A

THIS PAGE BLANK (USPTO)

booster circuit, 72 81–84 [... Power supply,] ... Very small resistance, 85–88 ... Partial pressure resistance, 21a 21b [... Operational amplifier,] ... The pressure-up section, 21c ... The capacitor for smooth, 22a 240P–244P ... The operational amplifier of a P type drive, 240N–244N ... The operational amplifier of an N type drive, 245 ... A transistor control circuit, 246–250 ... Inverter, 711 [... A terminal, CC1 / ... The capacitor for charge conveyance CC2 / ... A charge conveyance capacitor, C1–C14 / ... Capacitor for charge storages] ... The switch control circuit for pressure ups, SW1–SW18 ... A switch, T0–T4

10

[Translation done.]

THIS PAGE BLANK (USPTO)